

Semiconductor device with terminals, and method of manufacturing the same

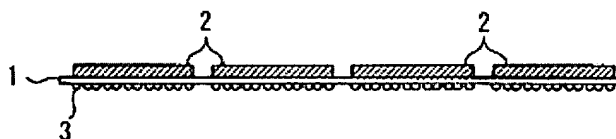
Patent number: DE10310536
Publication date: 2004-01-29
Inventor: MICHII KAZUNARI (JP); SHINONAGA NAOYUKI (JP); SEMBA SHINJI (JP)
Applicant: MITSUBISHI ELECTRIC CORP (JP)
Classification:
- **International:** *H01L21/56; H01L23/498; H01L21/02; H01L23/48;*
(IPC1-7): H01L23/50; H01L21/50; H01L21/78
- **European:** H01L21/56; H01L23/498C4; H01L23/498G
Application number: DE20031010536 20030311
Priority number(s): JP20020200930 20020710

[Report a data error here](#)

Abstract not available for DE10310536

Abstract of corresponding document: **US2004007783**

A plurality of semiconductor chips is mounted on a surface of a substrate to be used for manufacturing semiconductor devices. The semiconductor chips are collectively sealed with resin, thereby forming resin-sealed sections. A plurality of solder balls are formed on the back surface of the substrate such that an interval A between the closest solder balls of adjacent semiconductor chips becomes "n" times ("n" is an integer greater than 1) an interval B between the solder balls on the semiconductor chip. After the semiconductor chips have been subjected to an electrical test, the resin-sealed sections and the substrate are sliced, thus breaking the semiconductor chips into pieces.



Data supplied from the **esp@cenet** database - Worldwide



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 10 536 A1** 2004.01.29

(12)

Offenlegungsschrift

(21) Aktenzeichen: **103 10 536.0**
(22) Anmeldetag: **11.03.2003**
(43) Offenlegungstag: **29.01.2004**

(51) Int Cl.⁷: **H01L 23/50**
H01L 21/78, H01L 21/50

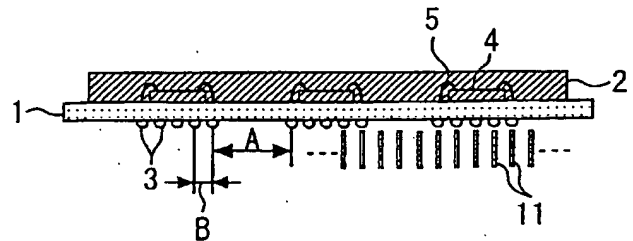
(30) Unionspriorität:
2002/200930 10.07.2002 JP
(71) Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

(74) Vertreter:
Prüfer und Kollegen, 81545 München
(72) Erfinder:
Michii, Kazunari, Tokio/Tokyo, JP; Shinonaga, Naoyuki, Nagano, JP; Semba, Shinji, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleitervorrichtung und Herstellungsverfahren dafür**

(57) Zusammenfassung: Eine Mehrzahl von Halbleiterchips (4) ist auf einer Oberfläche eines Substrates (1) angebracht, so daß sie zum Herstellen von Halbleitervorrichtungen benutzt werden. Die Halbleiterchips (4) werden gemeinsam mit Harz eingekapselt, wodurch harzabgedichtete Abschnitte (2) gebildet werden. Eine Mehrzahl von Lötäugen (3) ist auf der hinteren Oberfläche des Substrates (1) so gebildet, daß ein Abstand (A) zwischen den nächsten Lötäugen (3) von benachbarten Halbleiterchips (4) n mal so groß wie ein Abstand (B) zwischen den Lötäugen (3) auf dem Halbleiterchip (4) wird, wobei n eine ganze Zahl größer als 1 ist. Nachdem die Halbleiterchips (4) einem elektrischen Test unterworfen sind, werden die harzabgedichteten Abschnitte (2) und das Substrat (1) geschnitten, wodurch die Halbleiterchips (4) in Stücke gebrochen werden.



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Halbleitervorrichtung und auf ein Herstellungsverfahren der Halbleitervorrichtung, wobei die Halbleitervorrichtung eine Mehrzahl von Anschlüssen aufweist.

[0002] In Zusammenhang mit der kürzlichen Miniaturisierung des Gehäuses (Package) sind ein Halbleiter vom Kugelgitterfeld-(BGA – ball grid array)Typ oder vom Kontaktfleckgitter-(LGA – land grid array)Typ überzeugend geworden, bei denen externe Elektroden in einem Matrixmuster auf der gesamten hinteren Oberfläche eines Substrates angeordnet sind.

[0003] Eine herkömmliche Halbleitervorrichtung und ein Verfahren zum Herstellen der Vorrichtung wird hier im folgenden unter Bezugnahme auf Fig. 9 bis 17 beschrieben.

[0004] Fig. 9 ist eine Ansicht, die eine vordere Oberfläche einer herkömmlichen Halbleitervorrichtung zeigt;

[0005] Fig. 10 ist eine Querschnittsansicht der in Fig. 9 gezeigten Halbleitervorrichtung;

[0006] Fig. 11 ist eine Ansicht, die die hintere Oberfläche der in Fig. 9 gezeigten Halbleitervorrichtung zeigt;

[0007] Fig. 12 ist eine perspektivische Ansicht, die ein Inneres eines harzabgedichteten Schnittes zeigt, der in Fig. 9 gezeigt ist;

[0008] Fig. 13 ist eine Querschnittsansicht des harzabgedichteten Abschnittes, die entlang einer in Fig. 12 gezeigten Linie B-B genommen ist;

[0009] Fig. 14 ist eine Ansicht, die Gebiete des harzabgedichteten Abschnittes zeigen, der zu schneiden ist;

[0010] Fig. 15 ist eine vergrößerte Ansicht von Gebieten auf der Rückseite der zu schneidenden Halbleitervorrichtung;

[0011] Fig. 16 ist eine Querschnittsansicht von geschnittenen Halbleitervorrichtungen; und

[0012] Fig. 17 ist eine Querschnittsansicht einer Nachbarschaft eines in Fig. 15 gezeigten Lötages.

[0013] In Fig. 9 bis 17 bezeichnet das Bezugszeichen 1 ein Substrat zum Herstellen von Halbleitervorrichtungen; 2 bezeichnet einen harzabgedichteten Abschnitt; 3 bezeichnet Lötungen oder Lötkegel; 4 bezeichnet einen Halbleiterchip; 5 bezeichnet einen Draht; 6 bezeichnet ein zu schneidendes Gebiet; 8 bezeichnet ein Gehäuse/Verpackung; und 9 bezeichnet einen Anschlußfleck.

[0014] Als erstes wird eine Halbleitervorrichtung beschrieben.

[0015] Wie in Fig. 9 und 10 gezeigt ist, ist eine Mehrzahl von harzabgedichteten Abschnitten 2 auf der Oberfläche eines Substrates 1 gebildet. Wie in Fig. 11 gezeigt ist, ist eine Mehrzahl von Lötungen 3 auf der hinteren Oberfläche des Substrates 1 so gebildet, daß sie den entsprechenden harzabgedichteten Abschnitten 2 entsprechen. Genauer, wie in Fig. 17 gezeigt ist, sind die Lötungen 3 auf der hinteren

ren Oberfläche des Substrates 1 über entsprechende Kontaktflecken 9 gebildet.

[0016] Wie in Fig. 12 und 13 gezeigt ist, ist eine Mehrzahl von Halbleiterchips 4, die elektrisch mit dem Substrat 1 mittels Drähten 5 verbunden sind, in den harzabgedichteten Abschnitten 2 vorgesehen.

[0017] Wie in Fig. 14 bis 16 gezeigt ist, ist ein zu schneidendes Gebiet (hier im folgenden als ein "Schneidegebiet" bezeichnet) 6 in jedem der harzabgedichteten Abschnitte 2 vorgesehen, das an Positionen zwischen benachbarten Halbleiterchips 4 (oder Gehäusen 8) angeordnet ist.

[0018] Wie in Fig. 15 und 16 gezeigt ist, ist die Mehrzahl von Lötungen 3, die als Anschlüsse für externe Elektroden dienen, auf jedem der Halbleiterchips 4 (oder der Gehäuse 8) mit gleichförmigen Abständen B von z.B. 0,8 mm vorgesehen. Ein Abstand C zwischen den nächsten Lötungen 3 der benachbarten Gehäuse 8 (d.h. ein Abstand von Gehäuse zu Gehäuse) ist eine Summe der gewünschten Gehäusegröße und der Breite des Schneidegebietes 6. In einem Fall zum Beispiel, in dem die Gehäusegröße 8 mm × 8 mm beträgt und die Breite des Schneidegebietes 6 gleich 0,35 mm ist, ist der Abstand von Gehäuse zu Gehäuse C gleich 8,35 mm.

[0019] Als nächstes wird nun ein Herstellungsverfahren der oben erwähnten Halbleitervorrichtung beschrieben.

[0020] Zuerst wird die Mehrzahl von Halbleiterchips 4 auf der Oberfläche des Substrates 1 angebracht. Das Substrat 1 und die Halbleiterchips 4 werden elektrisch durch die Benutzung der Drähte 5 verbunden.

[0021] Als nächstes wird die Mehrzahl von Halbleiterchips 4 gemeinsam mit Harz abgedichtet oder versiegelt, wodurch die harzversiegelten Abschnitte 2 gebildet werden.

[0022] Weiterhin werden die Kontaktflecke 9, die zum Anbringen der Lötungen benutzt werden, auf der hinteren Oberfläche des Substrates 1 gebildet. Die Lötungen 3 werden auf den Kontaktflecken 9 gebildet. Hier wird in dem Fall der Halbleitervorrichtung eines LGA der Bildung von Lötungen 3 begegnet.

[0023] Die harzabgedichteten Abschnitte 2, die gemeinsam gegossen worden sind, werden entlang der Schneidegebiete 6 mittels einer Schneidesäge getrennt, wodurch die harzabgedichteten Abschnitte 2 in eine Mehrzahl von Gehäusen (Packungen) (Halbleitervorrichtungen) 8 unterteilt werden.

[0024] Jedes der Gehäuse 8 wird einem elektrischen Test unterworfen.

[0025] Wie oben erwähnt wurde, wenn jedes der Gehäuse 8 einem elektrischen Test unterworfen wird, muß ein Testwerkzeug wie ein Testkontaktstift jedesmal vorbereitet werden, wenn die Gehäusegröße sich unterscheidet. Daher sind die Kosten des Testwerkzeuges zu hoch.

[0026] Weiterhin kann kein elektrischer Test ausgeführt werden während der Zeitdauer, in der ein Testwerkzeug durch ein anderes Testwerkzeug ersetzt

wird, dadurch resultiert eine uneffektive Bedingung eines elektrischen Tests; d.h. das Auftreten eines sogenannten Gehäuseschaltverlustes.

[0027] Wenn ein Gehäuse auf ein Ausmaß zu miniaturisieren ist, das Chipskalengehäuse (CSP) genannt wird, wird ein resultierendes Gehäuse zu klein oder zu leicht. Solche Gehäuse fallen während des Vorganges eines Testes oder eines Transportes.

[0028] Ein Verfahren, das zum Lösen des Problems wirksam ist, ist es, die Mehrzahl von Halbleiterchips 4 einem Test zu unterwerfen, während die Halbleiterchips 4 (oder Gehäuse 8) in Stücke geschnitten oder gemeinsam mit Harz auf dem Substrat 1 versiegelt werden.

[0029] Eine Gehäusegröße ist jedoch bereits durch eine Normeninstitution wie die Japanese Electronics and Information Technology Industries Associations bestimmt worden. Der Abstand C zwischen den engsten Lötungen 3 benachbarter Gehäuse 8 (d.h. der Abstand von Gehäuse zu Gehäuse C) ist nicht notwendigerweise ein ganzzahliges Vielfaches des Abstandes B zwischen den Lötungen 3 in dem Gehäuse 8 (d.h. ein Augenabstand). Selbst daher in dem Fall eines Gehäuses der gleichen Größe muß ein Testwerkzeug jedesmal vorbereitet werden, wenn sich die Abstände B und C ändern. Somit können die Kosten für das Werkzeug nicht begrenzt werden.

[0030] Weiterhin müssen Testwerkzeuge für die entsprechenden Gehäuse vorbereitet werden, wenn Gehäuse verschiedener Größen hergestellt werden, wodurch das Begrenzen der Kosten für die Werkzeuge behindert wird.

[0031] Da weiterhin Übereinstimmung nicht in Hinblick auf die Positionen der Anschlüsse (z.B. der Lötungen) 3 auf der Rückseite des Substrates 1 erzielt werden kann, muß ein Testwerkzeug jedesmal vorbereitet werden, wenn sich der Abstand C zwischen den Lötungen der benachbarten Gehäuse 8 oder eine Gehäusegröße geändert hat. Aus diesem Grund können die Kosten für das Testwerkzeug nicht verringert werden.

[0032] Die Notwendigkeit des Ersetzens der Testwerkzeuge bringt das Auftreten des sogenannten Gehäuseschaltverlustes mit sich.

[0033] Die vorliegende Erfindung ist zum Lösen der obigen Probleme entwickelt worden, und es ist eine allgemeine Aufgabe der vorliegenden Erfindung, eine neue und nützliche Halbleitervorrichtung vorzusehen und ein neues und nützliches Herstellungsverfahren der Halbleitervorrichtung vorzusehen, insbesondere sollen die Kosten für ein Testwerkzeug, das für den elektrischen Test von Halbleitervorrichtungen benutzt wird, durch Herstellen einer Übereinstimmung in Positionen der Anschlüsse der Halbleitervorrichtungen begrenzt werden.

[0034] Die obige Aufgabe der vorliegenden Erfindung wird gelöst durch eine Halbleitervorrichtung nach Anspruch 1 und ein Herstellungsverfahren einer Halbleitervorrichtung nach Anspruch 5.

[0035] Gemäß einem Aspekt der vorliegenden Er-

findung weist die Halbleitervorrichtung eine Mehrzahl von Halbleiterchips auf, die auf einer Oberfläche eines Substrates angebracht sind. Die Mehrzahl von Halbleiterchips ist gemeinsam mit einem Versiegelungsharz/Versiegelungskunststoff versiegelt/abgedichtet. Eine Mehrzahl von Anschlüssen ist auf einer hinteren Oberfläche des Substrates gebildet, wodurch ein Abstand zwischen den nächsten Anschlüssen auf benachbarten Halbleiterchips ein ganzzahliges Vielfaches des Abstandes zwischen den Anschlüssen auf dem Halbleiterchip ist.

[0036] Gemäß einem anderen Aspekt der vorliegenden Erfindung wird bei dem Herstellungsverfahren der Halbleitervorrichtung eine Mehrzahl von Halbleiterchips auf einer Oberfläche eines Substrates angebracht. Die Mehrzahl von Halbleiterchips wird gemeinsam mit einem Harz/Kunststoff abgedichtet/versiegelt.

[0037] Eine Mehrzahl von Anschlüssen wird auf einer hinteren Oberfläche des Substrates derart gebildet, daß ein Abstand zwischen den nächsten Anschlüssen auf den benachbarten Halbleiterchips ein ganzzahliges Vielfaches des Abstandes zwischen den Anschlüssen in dem Halbleiterchip wird. Die Mehrzahl von Halbleiterchips wird einem elektrischen Test unterworfen. Das Harz und das Substrat werden geschnitten, wodurch die Halbleiterchips in Stücke gebrochen werden.

[0038] Weitere Merkmale und Zweckmäßigkeiten ergeben sich aus der folgenden Beschreibung von einem Ausführungsbeispiel anhand der Figuren. Von den Figuren zeigen:

[0039] **Fig. 1** eine Ansicht, die eine Oberfläche einer Halbleitervorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung zeigt;

[0040] **Fig. 2** eine Querschnittsansicht der in **Fig. 1** gezeigten Halbleitervorrichtung;

[0041] **Fig. 3** eine Ansicht, die eine hintere Oberfläche der in

[0042] **Fig. 1** gezeigten Halbleitervorrichtung zeigt;

[0043] **Fig. 4** eine perspektivische Ansicht, die ein Inneres eines in **Fig. 1** gezeigten harzabgedichteten Abschnittes zeigt;

[0044] **Fig. 5** eine Querschnittsansicht des harzabgedichteten Abschnittes, der entlang von a-a in **Fig. 4** genommen ist;

[0045] **Fig. 6** eine Ansicht, die Gebiete des harzabgedichteten Abschnittes zeigt, die zu schneiden sind;

[0046] **Fig. 7** eine vergrößerte Ansicht des geschnittenen Abschnittes auf der hinteren Oberfläche der Halbleitervorrichtung;

[0047] **Fig. 8** eine Querschnittsansicht der geschnittenen Halbleitervorrichtung;

[0048] **Fig. 9** eine Ansicht, die eine vordere Oberfläche einer Halbleitervorrichtung zeigt;

[0049] **Fig. 10** eine Querschnittsansicht der in **Fig. 9** gezeigten Halbleitervorrichtung;

[0050] **Fig. 11** eine Ansicht, die die hintere Oberfläche der in **Fig. 9** gezeigten Halbleitervorrichtung zeigt;

[0051] **Fig. 12** eine perspektivische Ansicht, die ein Inneres eines in **Fig. 9** gezeigten harzabgedichteten Abschnittes zeigt;

[0052] **Fig. 13** eine Querschnittsansicht des harzabgedichteten Abschnittes, die entlang einer Linie b-b in **Fig. 12** genommen ist;

[0053] **Fig. 14** eine Ansicht, die Gebiete des harzabgedichteten Abschnittes zeigt, die zu schneiden sind;

[0054] **Fig. 15** eine vergrößerte Ansicht von Gebieten auf der Rückseite der zu schneidenden Halbleitervorrichtung;

[0055] **Fig. 16** eine Querschnittsansicht von geschnittenen Halbleitervorrichtungen; und

[0056] **Fig. 17** eine Querschnittsansicht einer Nachbarschaft eines in **Fig. 16** gezeigten Lötages.

[0057] In folgenden werden Prinzipien und Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beigefügten Zeichnungen beschrieben. Die Teile und die Schritte, die in den Zeichnungen gemeinsam sind, erhalten die gleichen Bezugszeichen, und die redundante Beschreibung davon kann weggelassen werden.

[0058] Es wird Bezug genommen auf **Fig. 1** bis **8**, eine Halbleitervorrichtung gemäß einer Ausführungsform der Erfindung und ein Herstellungsverfahren der Halbleitervorrichtung werden beschrieben. Hier beschreibt die vorliegende Ausführungsform ein Beispiel, bei dem ein BGA-Substrat als ein Substrat zur Benutzung bei dem Herstellen der Halbleitervorrichtung benutzt wird.

[0059] **Fig. 1** ist eine Ansicht, die eine Oberfläche einer Halbleitervorrichtung gemäß einer Ausführungsform zeigt; **Fig. 2** ist eine Querschnittsansicht der in **Fig. 1** gezeigten Halbleitervorrichtung; **Fig. 3** ist eine Ansicht, die eine hintere Oberfläche der in **Fig. 1** gezeigten Halbleitervorrichtung zeigt; **Fig. 4** ist eine perspektivische Ansicht, die ein Inneres eines in **Fig. 1** gezeigten harzabgedichteten Abschnittes zeigt; **Fig. 5** ist eine Querschnittsansicht des harzabgedichteten Abschnittes, die entlang einer Linie a-a genommen ist, die in **Fig. 4** gezeigt ist; **Fig. 6** ist eine Ansicht, die Gebiete des harzabgedichteten Abschnittes zeigt, die zu schneiden sind; **Fig. 7** ist eine vergrößerte Ansicht eines geschnittenen Abschnittes einer hinteren Oberfläche der Halbleitervorrichtung; und **Fig. 8** ist eine Querschnittsansicht der geschnittenen Halbleitervorrichtung.

[0060] In **Fig. 1** bis **8** bezeichnet das Bezugszeichen **1** ein Substrat zur Benutzung bei der Herstellung einer Halbleitervorrichtung (hier im folgenden einfach als "Substrat" bezeichnet); **2** bezeichnet harzabgedichtete Abschnitte; **3** bezeichnet ein Lötauge (Anschluß); **4** bezeichnet einen Halbleiterchip; **5** bezeichnet einen Draht/Verdrahtung; **6** bezeichnet ein zu schneidendes Gebiet (hier im folgenden einfach als "Schneidegebiet" bezeichnet); **7** bezeichnet einen verbleibenden Rest; **8** bezeichnet ein Gehäuse/Verpackung (Halbleitervorrichtung); und **11** bezeichnet einen Testkontaktstift.

[0061] Zuerst wird eine Halbleitervorrichtung der Ausführungsform beschrieben.

[0062] Wie in **Fig. 1** und **2** gezeigt ist, ist eine Mehrzahl von harzabgedichteten Abschnitten **2** auf der Oberfläche des Substrates **1** gebildet. Weiter ist, wie in **Fig. 4** und **5** gezeigt ist, eine Mehrzahl von Halbleiterchips **4**, die elektrisch mit dem Substrat **1** mittels von Drähten **5** verbunden sind, in den harzabgedichteten Abschnitten **2** vorgesehen.

[0063] Wie in **Fig. 3** und **5** gezeigt ist, ist eine Mehrzahl von Lötungen **3**, die als externe Elektrodenanschlüsse dienen, auf der hinteren Oberfläche des Substrates **1** so gebildet, daß sie den Halbleiterchips **4** entsprechen, die in den harzabgedichteten Abschnitten **2** vorgesehen sind. Hier sind die Lötungen **3** derart angeordnet, daß ein Abstand zwischen den nächsten Lötungen **3** von benachbarten Halbleiterchips **4** (oder den benachbarten Gehäusen **8**) gleich n mal einem Abstand B zwischen Lötungen **3** wird, die auf einem Halbleiterchip **4** (oder einem Gehäuse **8** vorgesehen sind), wobei n eine ganze Zahl größer als 1 ist. Zum Beispiel beträgt eine Gehäusegröße $0,8 \text{ mm} \times 0,8 \text{ mm}$, und der Abstand A nimmt einen Wert von $9,6 \text{ mm}$ ($= 0,8 \text{ mm} \times 12$) an, und der Abstand B nimmt einen Wert von $0,8 \text{ mm}$ an. Jedes der Lötungen **3** ist auf der hinteren Oberfläche des Substrates **1** gebildet durch einen Anschlußfleck (**9**), der elektrisch mit dem Halbleiterchip **4** verbunden ist (siehe **Fig. 17**). Der Wert n ist normalerweise innerhalb eines Bereiches von 2 bis 20 gesetzt. Kurz gesagt, der Abstand A ist so gesetzt, daß er zwanzig mal der Abstand B wird.

[0064] Wie in **Fig. 5** gezeigt ist, sind die Testkontaktstifte **11** in einem Gittermuster an Abständen identisch zu dem Abstand B (z.B. $0,8 \text{ mm}$) zwischen den Lötungen **3** angeordnet. Eine Halbleitervorrichtung wird einem elektrischen Test durch die Benutzung der Testkontaktstifte **11** unterworfen (was später beschrieben wird).

[0065] Wie in **Fig. 6** bis **8** gezeigt ist, zwei Schneidegebiete **6**, die mit einer Schneidesäge zu schneiden sind, sind zwischen benachbarten Halbleiterchips **4** in dem harzabgedichteten Abschnitt **2** und auf dem Substrat **1** gebildet. Ein zwischen den Schneidegebieten **6** abgegrenztes Gebiet; das heißt, ein Raum zwischen den Halbleiterchips **4** (oder Gehäusen **8**) entspricht dem verbleibenden Rest **7**. Die Größe des verbleibenden Restes **7** ändert sich gemäß einer gewünschten Gehäusegröße. Mit anderen Worten, ein gewünschtes Gehäuse wird durch Ändern der Größe des verbleibenden Restes **7** erhalten. Zum Beispiel nimmt in dem Fall der vorangehenden Gehäusegröße die Breite der Schneidefläche **6** einen Wert von $0,35 \text{ mm}$ an; und die Breite des verbleibenden Restes **7** nimmt einen Wert von $0,9 \text{ mm}$ an.

[0066] Ein Herstellungsverfahren der Halbleitervorrichtung wird nun beschrieben.

[0067] Zuerst werden, wie in **Fig. 4** und **5** gezeigt ist, eine Mehrzahl von Halbleiterchips **4** auf der Oberfläche des Substrates **1** angebracht. Das Substrat **1**

wird elektrisch mit den Halbleiterchips 4 durch die Benutzung der Drähte 5 verbunden.

[0068] Als nächstes werden die Halbleiterchips 4 gemeinsam mit dem Harz vergossen, wodurch die harzabgedichteten Abschnitte 2 gebildet werden.

[0069] Eine Mehrzahl von Anschlußflecken 9 (siehe Fig. 17), die elektrisch mit den Halbleiterchips 4 verbunden werden und die zum Anbringen der Lötungen benutzt werden, wird dann auf der hinteren Oberfläche des Substrates 1 gebildet. Die Halbleiterraugen 3 werden auf den Anschlußflecken gebildet. Hier sind die Anschlußflecken 9, die als Anschlüsse für externe Elektroden dienen, und die Lötungen 3 derart angeordnet, daß der Abstand A zwischen den nächsten Anschlüssen von benachbarten Halbleiterchips 4 n-mal so groß wie der Abstand B zwischen den Anschlüssen wird, die auf dem Halbleiterchip 4 (oder einem Gehäuse 8) vorgesehen sind, wobei n eine ganze Zahl größer als 1 ist. Zum Beispiel beträgt eine Gehäusegröße 8 mm × 8 mm, und die Anschlußflecken und die Lötungen 3 sind derart gebildet, daß der Abstand A einen Wert von 9,6 mm (= 0,8 mm × 12) annimmt und daß der Abstand B einen Wert von 0,8 mm annimmt.

[0070] Die Halbleiterchips 4 werden gleichzeitig einem elektrischen Test unterworfen, während die Chips 4 auf dem Substrat 1 angebracht werden. Wie in Fig. 5 gezeigt ist, wird der elektrische Test ausgeführt durch Benutzen der Testkontaktstifte 7, die in einem Gittermuster mit dem gleichen Abstand wie der Abstand B (z.B. 0,8 mm) zwischen den Halbleiterraugen 3 angeordnet sind.

[0071] Nachdem der elektrische Test beendet ist, werden die Schneideflächen 6, die auf den harzabgedichteten Abschnitten 2 gebildet sind, und das Substrat 1 durch die Benutzung einer Säge geschnitten. Hier werden zum Erzielen der gewünschten Gehäusegröße die Schneidegebiete 6 zwei mal derart geschnitten, daß der verbleibende Rest 7 eine gewünschte Breite von z.B. 0,9 mm zwischen den benachbarten Halbleiterchips 4 (oder den benachbarten Gehäusen 8) annimmt. Als Resultat werden die Gehäuse 8 in Stücke getrennt.

[0072] Wie beschrieben wurde, ist Gemeinsamkeit bei der Ausführungsform in Verbindungen mit Positionen von Anschlüssen derart hergestellt, daß der Abstand A zwischen den nächsten Anschlüssen (d.h. den Anschlußflecken 9 und den Lötungen 3) von benachbarten Halbleiterchips 4 n-mal so groß wie der Abstand B zwischen Anschlüssen des Halbleiterchips 4 wird, wobei n eine ganze Zahl größer als 1 ist. Solange es vorbereitete Testkontaktstifte 11 eines einzelnen Types gibt, die in einem Gittermuster mit dem gleichen Abstand wie der Abstand B zwischen Anschlüssen des gleichen Halbleiterchips 4 angeordnet sind, kann ein elektrischer Test ausgeführt werden unter Benutzung der gleichen Testkontaktstifte 11, selbst wenn die Größe der Halbleitergehäuse variiert, die in dem harzabgedichteten Abschnitt 2 hergestellt sind. Folglich können die Kosten für das Test-

werkzeug deutlich beschränkt werden.

[0073] Weiterhin kann ein elektrischer Test effektiv während einer Zeitdauer ausgeführt werden, die zum Ersetzen eines Testwerkzeuges durch ein anderes notwendig ist, das heißt ohne das Auftreten eines Gehäuseersetzungsverlustes.

[0074] Da die Mehrzahl von Gehäusen 8 (oder Halbleiterchips 4) gleichzeitig einem Test unterworfen werden kann, während sie auf dem Substrat bleiben, kann die Produktivität des elektrischen Testes deutlich verbessert werden. Selbst wenn zusätzlich ein Gehäuse miniaturisiert wird, kann das Fallen von Gehäusen verhindert werden, was sonst während des Vorganges eines elektrischen Testes oder während des Vorganges eines Transportes verursacht würde.

[0075] Bei der Ausführungsform werden verbleibende Reste 7 zu der Zeit der Trennung der Gehäuse 8 in Stücke belassen, dadurch werden die harzabgedichteten Abschnitte 2 und das Substrat 1 zweimal geschnitten. Selbst wenn es einen Versuch gibt zum Erzielen von Übereinstimmung in Zusammenhang mit den Positionen der Anschlüsse, wird eine Halbleitervorrichtung einer gewünschten Packungsgröße erzielt.

[0076] Die Ausführungsform ist beschrieben für einen Fall, bei dem ein BGA-Substrat als ein Substrat zur Benutzung in der Herstellung von Halbleitervorrichtungen benutzt wird; d.h. Gehäuse vom BGA-Typ. Die Erfindung ist jedoch nicht auf solch eine Ausführungsform begrenzt und kann auch auf ein Gehäuse vom LGA angewendet werden. In solch einem Fall müssen die Lötungen 3 als Anschlüsse gebildet werden.

[0077] Die vorliegende Erfindung kann daher die folgenden Vorteile erzielen.

[0078] Gemäß der Erfindung ist die Übereinstimmung zwischen den Positionen der Anschlüsse eines Halbleitersubstrates erzielt worden, wodurch die Kosten für ein Testgerät beschnitten werden, das für den elektrischen Test der Halbleitervorrichtung benutzt wird.

Patentansprüche

1. Halbleitervorrichtung mit:
 - einer Mehrzahl von Halbleiterchips (4), die auf einer Oberfläche eines Substrates (1) angebracht sind;
 - einem Abdichtharz (2), das zum kollektiven Abdichten der Mehrzahl von Halbleiterchips (4) benutzt ist; und
 - einer Mehrzahl von Anschlüssen (3, 9), die auf einer hinteren Oberfläche des Substrates (1) gebildet sind; worin ein Abstand (A) zwischen zwei nächsten Anschlüssen (3, 9) auf benachbarten Halbleiterchips (4) ein ganzzahliges Vielfaches des Abstandes (B) zwischen zwei Anschlüssen (3, 9) in dem gleichen Halbleiterchip (4) ist.
2. Halbleitervorrichtung nach Anspruch 1, bei der

zwei Gebiete (6), die zu schneiden sind, in dem Harz (2) an einer Position zwischen den benachbarten Halbleiterchips (4) gebildet sind.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, bei dem die Anschlüsse (3, 9) Anschlußflecke (9) aufweisen, die elektrisch mit den Halbleiterchips (4) verbunden sind.

4. Halbleitervorrichtung nach Anspruch 3, bei der die Anschlüsse weiter auf den entsprechenden Anschlußflecken (9) gebildete Lötungen (3) aufweisen.

5. Herstellungsverfahren einer Halbleitervorrichtung, mit den Schritten:

- Anbringen einer Mehrzahl von Halbleiterchips (4) auf einer Oberfläche eines Halbleitersubstrates (1);
- gemeinsames Abdichten der Mehrzahl von Halbleiterchips mit einem Harz (2);
- Bilden einer Mehrzahl von Anschlüssen (3, 9) auf der hinteren Oberfläche des Substrates (1) derart, daß ein Abstand (A) zwischen den nächsten Anschlüssen (3, 9) der benachbarten Halbleiterchips (4) ein ganzzahliges Vielfaches des Abstandes (B) zwischen den Anschlüssen (3, 9) in dem Halbleiterchip (4) ist;
- Unterwerfen der Mehrzahl von Halbleiterchips (4) einem elektrischen Test; und
- Schneiden des Harzes (2) und des Substrates (1), wodurch die Halbleiterchips (4) in Stücke gebrochen werden.

6. Herstellungsverfahren nach Anspruch 5, bei dem der elektrische Test durch Benutzung von Testkontaktstiften (11) ausgeführt wird, die in einem Gittermuster in einem Abstand identisch zu den zwischen den Anschlüssen (3, 9) des Halbleiterchips (4) angeordnet sind.

7. Herstellungsverfahren nach Anspruch 5 oder 6, bei dem bei dem Schritt des Schneidens des Harzes (2) und des Substrates (1) Gebiete, die zwischen benachbarten Halbleiterchips (4) abgegrenzt sind, zweimal geschnitten werden.

8. Herstellungsverfahren nach einem der Ansprüche 5 bis 7, bei dem der Schritt des Bildens der Mehrzahl von Anschlüssen (3, 9) einen Schritt des Bildens einer Mehrzahl von Anschlußflecken (9) enthält, die elektrisch mit den Halbleiterchips (4) verbunden sind.

9. Herstellungsverfahren nach Anspruch 8, bei dem der Schritt des Bildens der Mehrzahl von Anschlüssen (3, 9) weiter einen Schritt des Bildens von Lötungen (3) auf der Mehrzahl von entsprechenden Anschlußflecken (9) enthält.

Es folgen 6 Blatt Zeichnungen

Fig.1

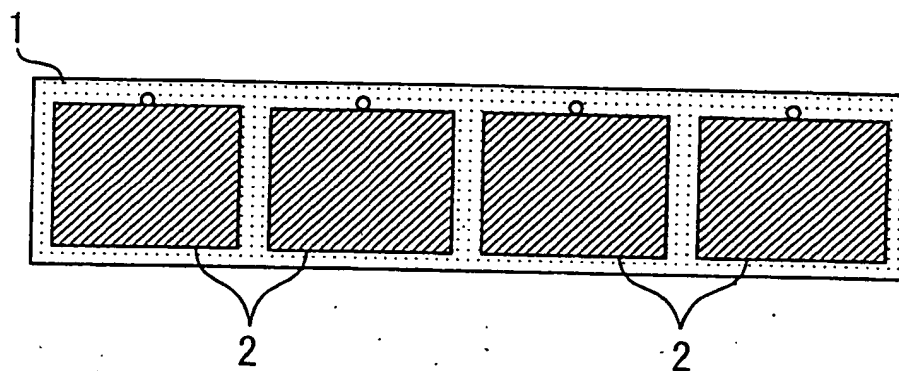


Fig.2

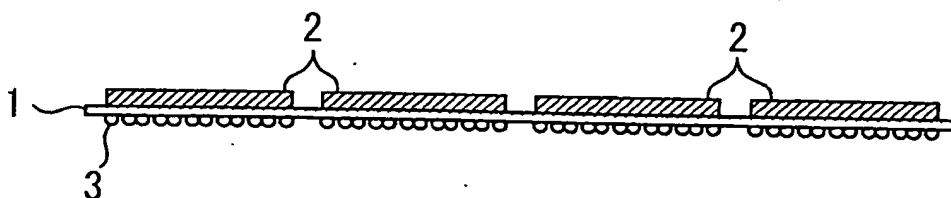


Fig.3

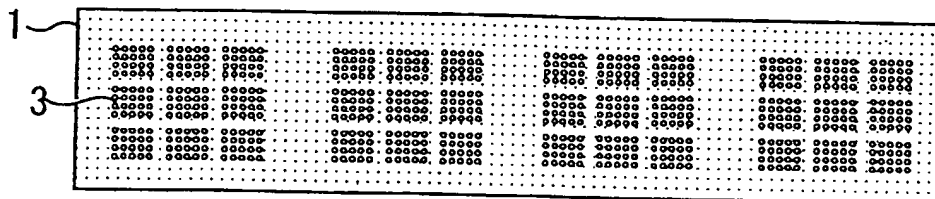


Fig.4

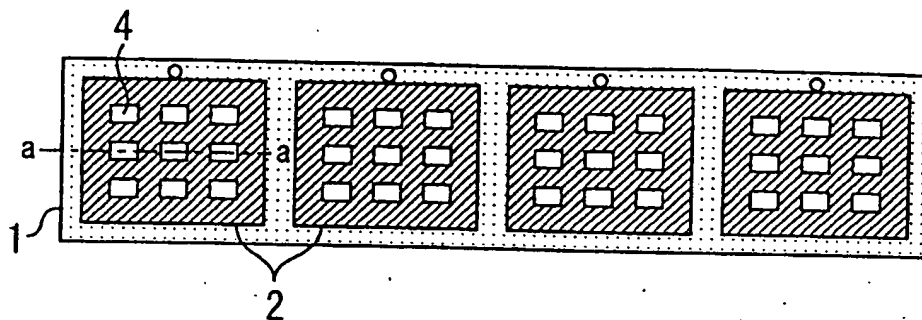


Fig.5

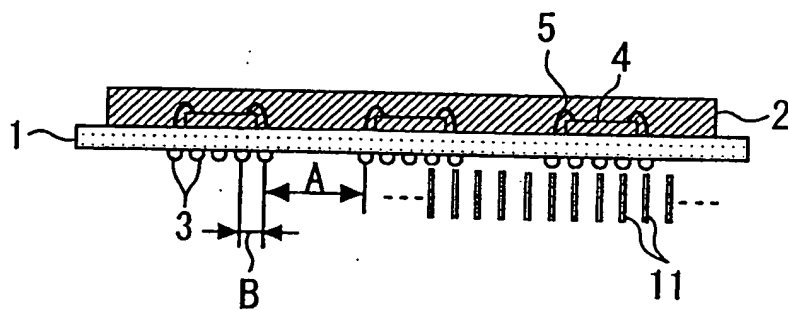


Fig.6

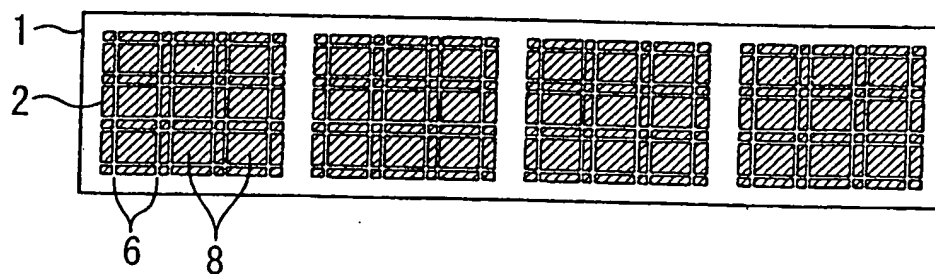


Fig.7

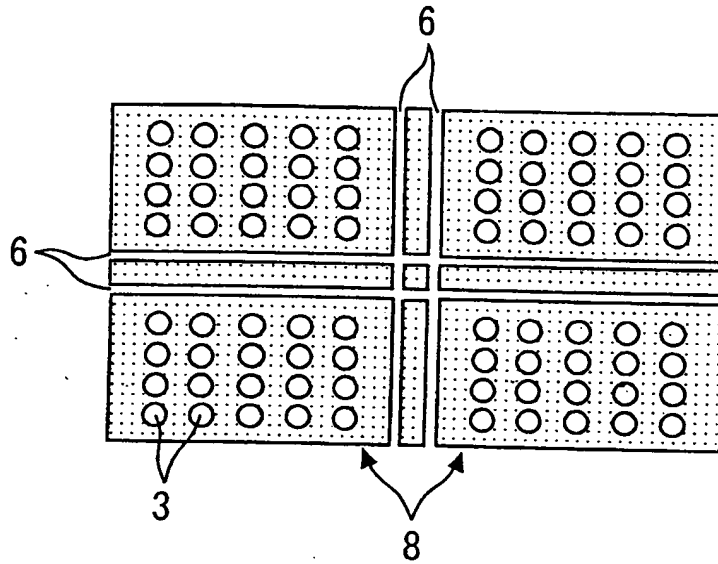


Fig.8

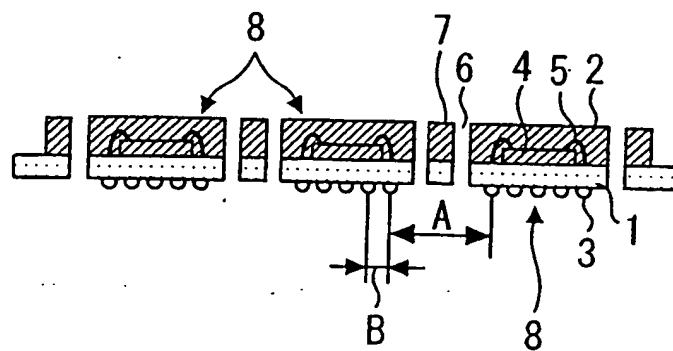


Fig.9

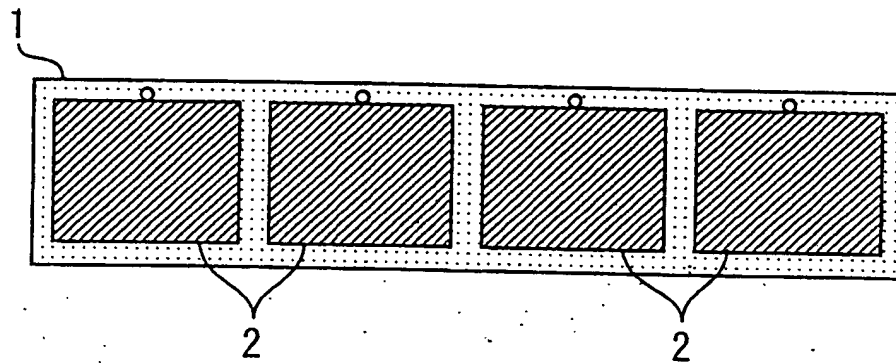


Fig.10

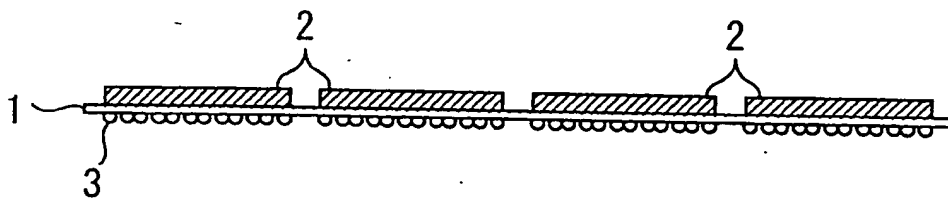


Fig.11

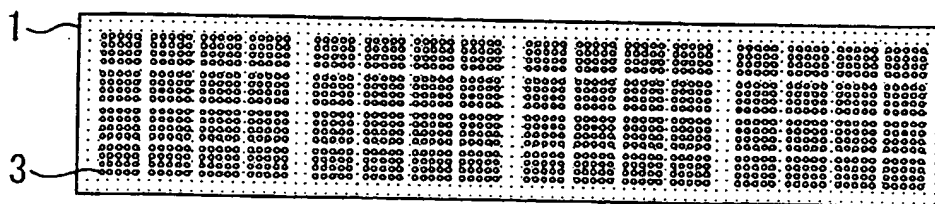


Fig.12

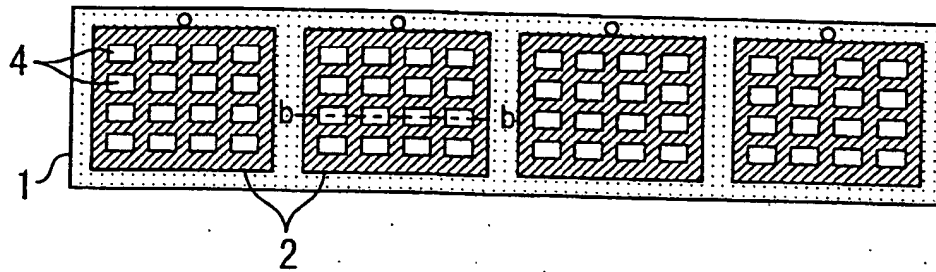


Fig.13

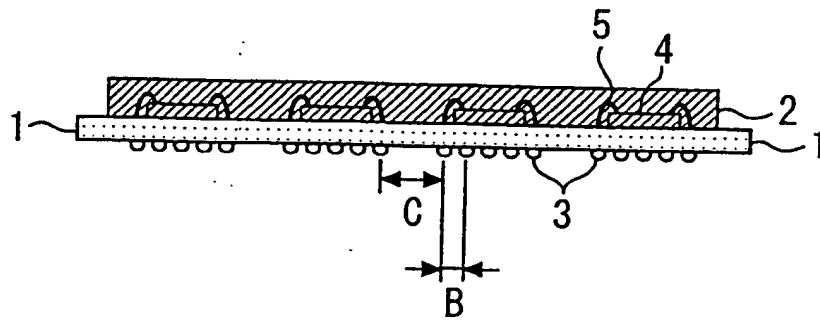


Fig.14

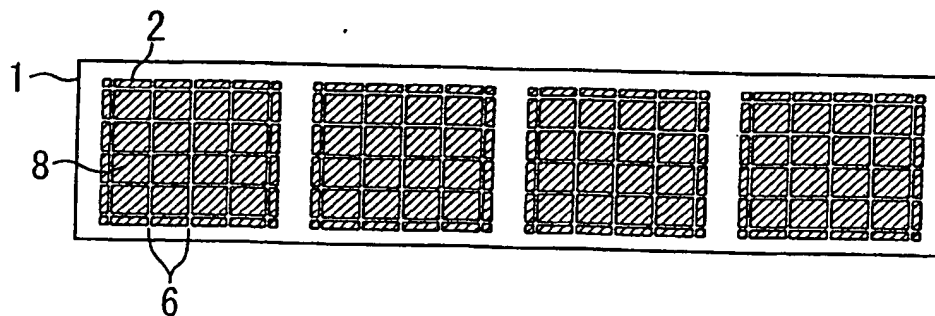


Fig.15

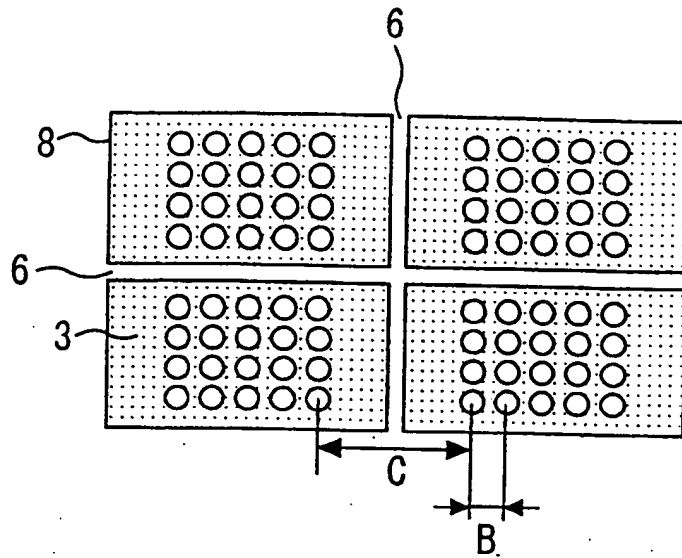


Fig.16

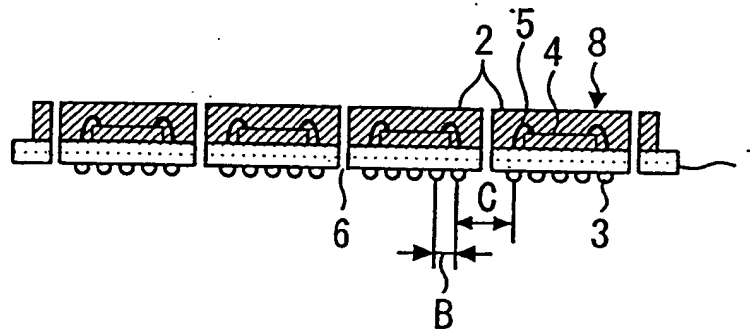


Fig.17

